

Цифрові мікроелектронні пристрої

Цифрові мікроелектронні пристрої являють собою дискретні цифрові автомати, виконані на ІМС і призначені для обробки інформації, що представлена у вигляді цифрового коду. Вони використовуються для створення цифрових інформаційних, вимірювальних систем та систем керування.

Усі цифрові пристрої поділяються на два великих класи: комбінаційні і послідовнісні.

Комбінаційні пристрої реалізують функції, які залежать тільки від комбінації змінних, що до них входять, у даний момент часу і не залежать від стану пристрою у попередній момент часу. Найпростішими прикладами таких пристроїв є логічні елементи (див. пп. 6.2).

Послідовнісні (від слова «послідовність») **пристрої** реалізують функції, що залежать не тільки від комбінації вхідних змінних у даний момент часу, а ще й від стану пристрою у попередній момент часу: вони мають пам'ять. Найпростішими прикладами таких пристроїв є

Тригери.

Цифрові мікроелектронні пристрої

Основними (найбільш вживаними) мікроелектронними цифровими пристроями є:

- 1) дешифратори;
 - 2) мультиплексори;
 - 3) лічильники імпульсів;
 - 4) регістри;
 - 5) цифро-аналогові та аналого-цифрові перетворювачі.
- Будуються ці пристрої на логічних елементах і тригерах.

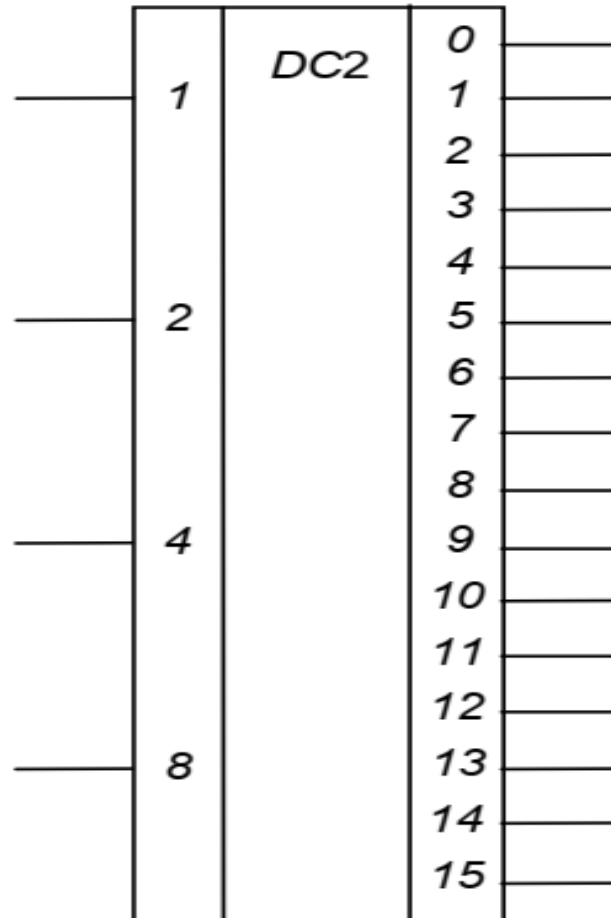
Дешифратори

Дешифратори (декодери) є комбінаційними пристроями, призначеними для перетворення кодованих двійкових вхідних сигналів у сигнали керування виконавчими пристроями, пристроями відображення інформації і т.п.

У загальному випадку дешифратор має декілька входів (за кількістю розрядів двійкових чисел, що необхідно декодувати) і декілька виходів.

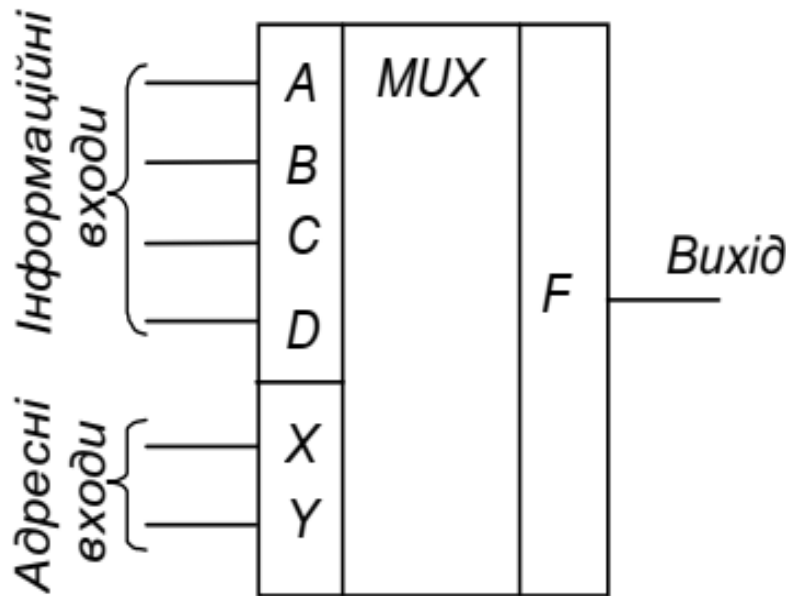
Кожній комбінації вхідних сигналів відповідає певна комбінація вихідних (зрозуміло, що дешифратори як комбінаційні пристрої будуються на логічних елементах і їх випускають у вигляді ІМС).

Дешифратори



Мультиплексори

Мультиплексори (комутатори) – це комбінаційні пристрої, що підмикають до виходу вхід (передають на вихід інформацію з входу), номер якого задає комбінація нулів і одиниць на адресних входах.



X	Y	F
0	0	A
0	1	B
1	0	C
1	1	D

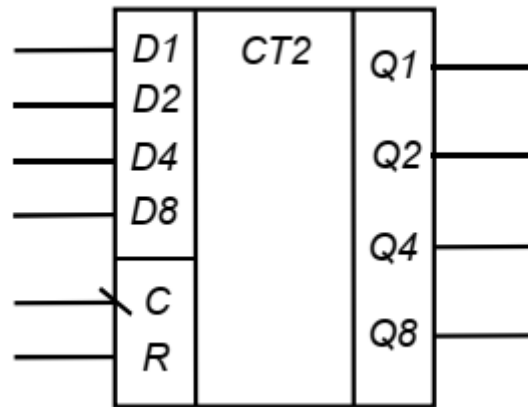
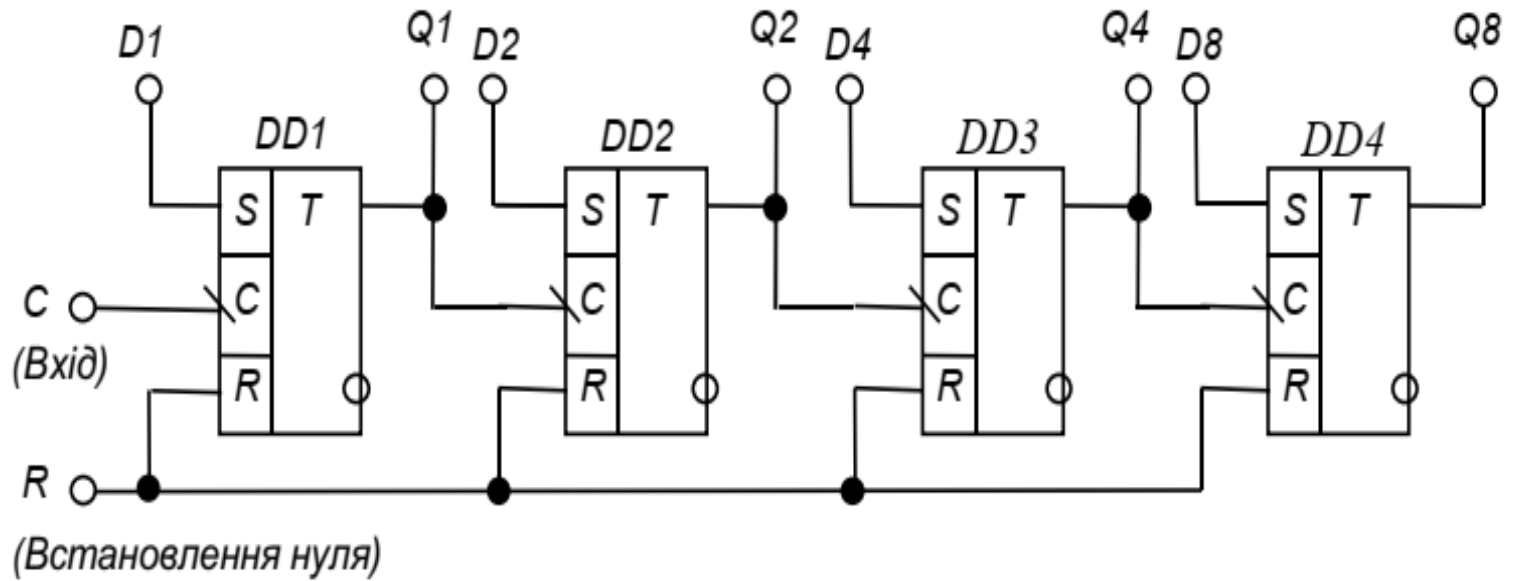
Лічильники імпульсів

Однією з найрозповсюдженіших операцій у пристроях інформаційно-обчислювальної і цифрової вимірювальної техніки є фіксування кількості імпульсів – підрахунок їхньої кількості. Реалізують цю операцію **лічильники імпульсів**. Лічильники також забезпечують представлення інформації про кількість імпульсів у вигляді двійкового коду (завдяки принципу побудови).

Лічильники бувають **прості (підсумовуючі)**, у яких код збільшується на одиницю після надходження на вхід кожного імпульсу; **віднімаючі**, у яких код відповідно зменшується після надходження на вхід кожного імпульсу) і **реверсивні** (суміщують властивості підсумовуючих і віднімаючих – можуть працювати у тому або іншому режимі за зовнішньою командою).

Як правило, лічильники будують на основі тригерів.

Лічильники імпульсів



Лічильники імпульсів

Таблиця переходів чотирирозрядного послідовного
двійкового лічильника

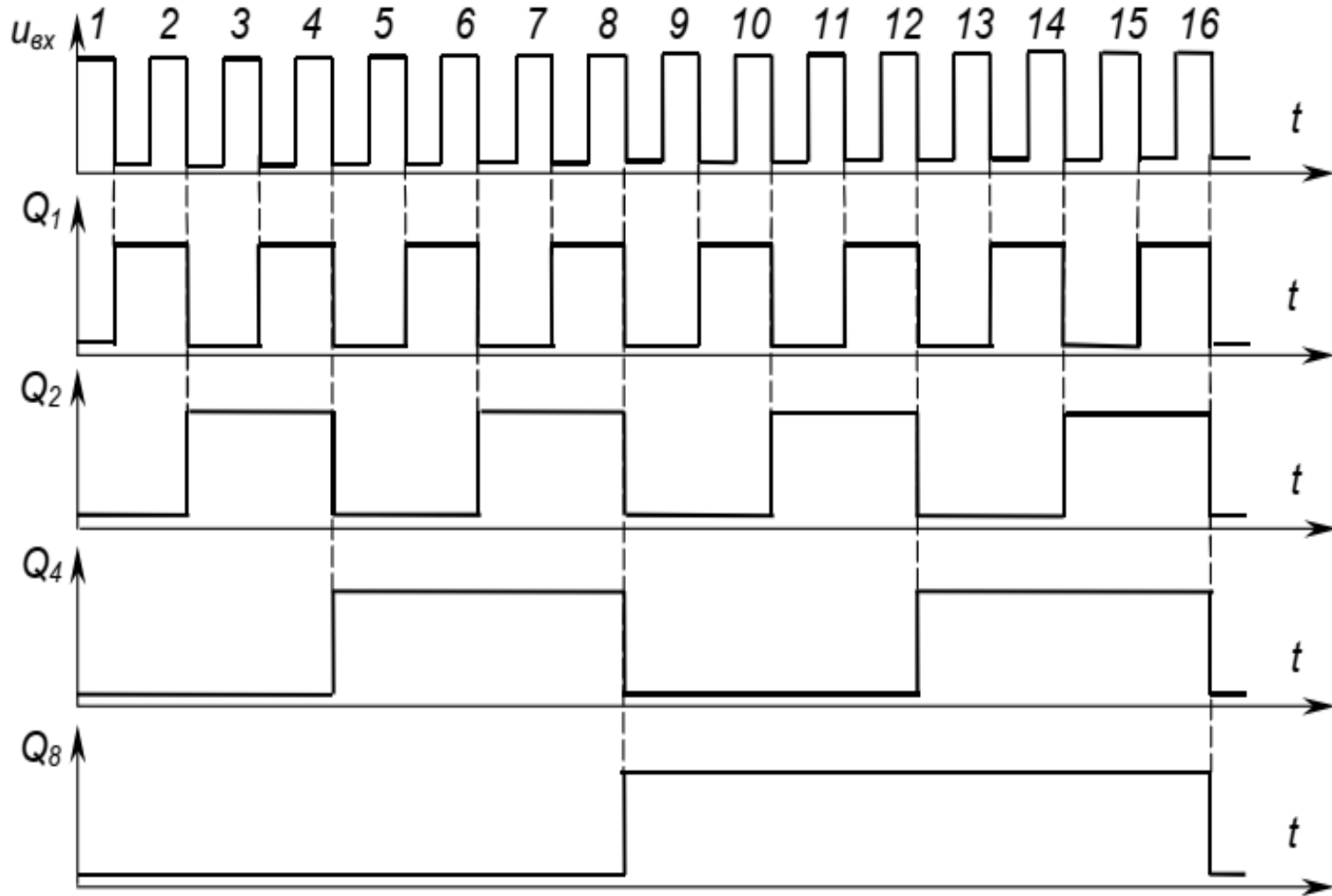
Стан	Q_8	Q_4	Q_2	Q_1	Стан	Q_8	Q_4	Q_2	Q_1
0	0	0	0	0	8	1	0	0	0
1	0	0	0	1	9	1	0	0	1
2	0	0	1	0	10	1	0	1	0
3	0	0	1	1	11	1	0	1	1
4	0	1	0	0	12	1	1	0	0
5	0	1	0	1	13	1	1	0	1
6	0	1	1	0	14	1	1	1	0
7	0	1	1	1	15	1	1	1	1

Лічильники імпульсів

Лічильник називається **послідовним**, тому що вихід тригера кожного попереднього розряду з'єднано з лічильним входом (входом синхронізації) тригера наступного розряду, в результаті чого передача інформації – перемикання тригерів розрядів лічильника – відбувається послідовно одного за одним. Це визначає низьку швидкість лічильника.

У **паралельних** лічильників інформація з розряду в розряд передається за допомогою спеціальної комбінаційної схеми, а входи синхронізації тригерів з'єднано разом, і перемикання усіх тригерів відбувається одночасно.

Лічильники імпульсів



Регістри

Регістри призначені для запам'ятовування і зберігання інформації, представленій у вигляді багаторозрядних двійкових чисел (двійкового коду) та їхньої видачі за зовнішньою командою – це елементи короткочасної (оперативної) пам'яті.

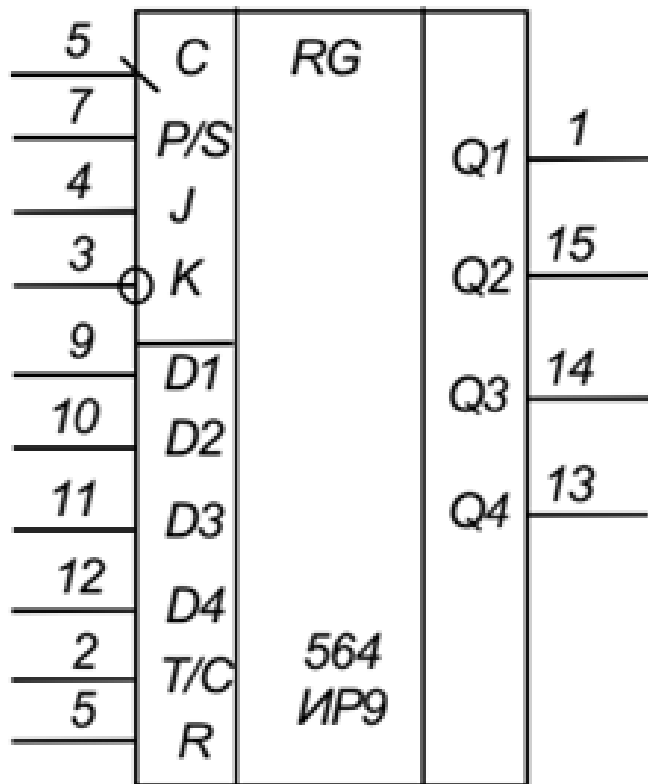


Рис. 1 – Універсальний реєстр 564IP9

Залежно від способу запису і видачі інформації реєстри бувають:

- 1) послідовні – запис інформації в них виконується послідовно одного двійкового розряду за іншим через один вхід;
- 2) паралельні – запис інформації в них виконується одночасно (паралельно) у всі розряди;
- 3) послідовно-паралельні – можуть працювати як послідовні або паралельні, залежно від сигналу на спеціальному вході керування.

На рис. 1 як приклад наведено умовне позначення універсального реєстру типу 564IP9.

Регістри

Він має входи:

- 1) синхронізації (тактовий) – C ;
- 2) задання режиму роботи (паралельний-послідовний) – P/S ;
- 3) послідовного вводу інформації (входи JK -тригера першого розряду) – J , \bar{K} ;
- 4) паралельного вводу інформації – D_1, D_2, D_3, D_4 ;
- 5) задання видачі інформації у прямому або інверсному коді – T/C ;
- 6) встановлення нульового стану R .

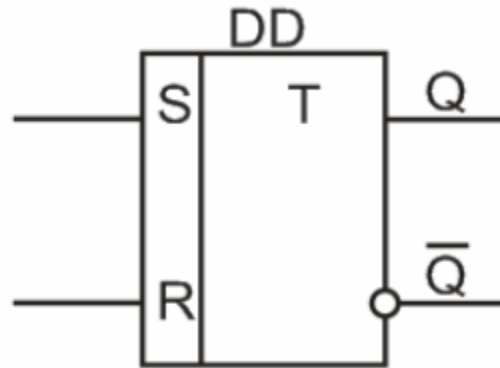
Виходи: Q_1, Q_2, Q_3, Q_4 .

При видачі інформації у послідовному коді останній знімається з виходу Q_4 .

Напряга живлення подається на виводи 16 (плюс джерела живлення $+U_{жс}$) і 8 (нуль).

Асинхронні R-S-тригери

Залежно від способу керування розрізняють асинхронні та тактовані R-S-тригери.

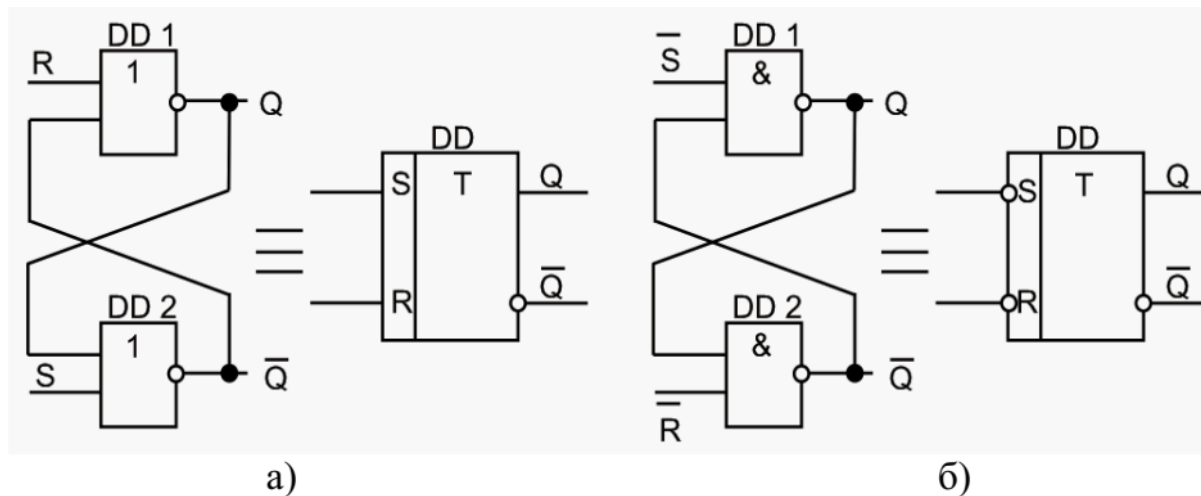


Виходи: Q – прямий; \bar{Q} – інверсний

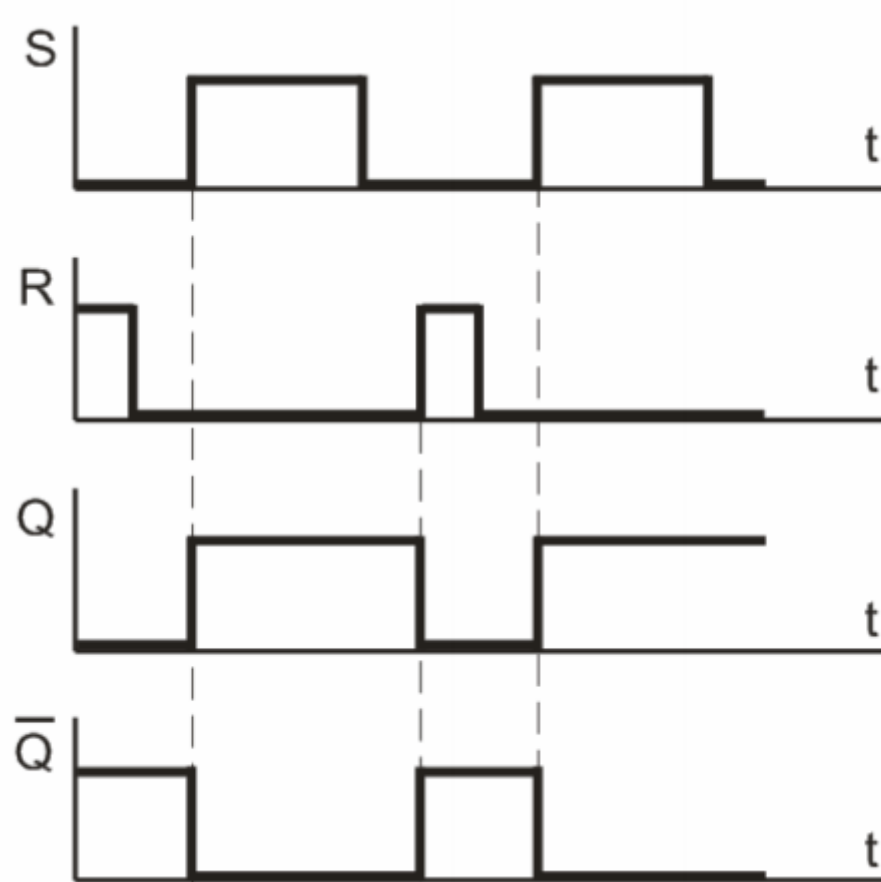
Асинхронні R-S-тригери

Асинхронний R-S-тригер, як і тригер будь-якого іншого типу, характеризується двома станами: логічної “1” та логічного “0”. Стану логічної “1” відповідає $Q = 1, \bar{Q} = 0$; стану логічного “0”: $Q = 0, \bar{Q} = 1$.

За інформаційним входом S проводиться установка тригера в стан логічної “1”, а по інформаційному входу R – установка (перехід тригера в початковий стан) логічного “0”. Цьому відповідають скорочені позначення входів і назва тригера: S (*set*) – установка, R (*reset*) – повернення в початковий стан. Тригери легко реалізуються на логічних елементах: АБО – НІ – тригер з прямими входами

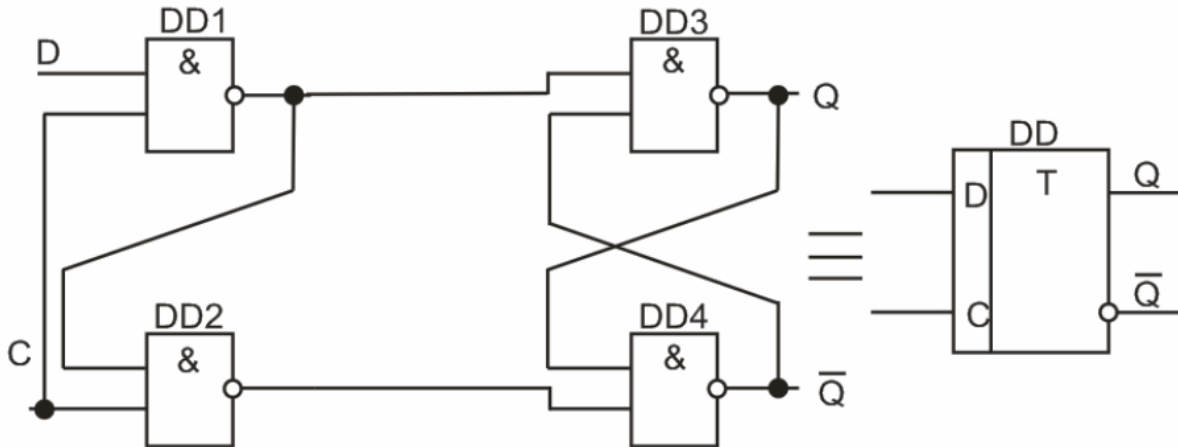


Часова діаграма роботи асинхронного R-S-тригера



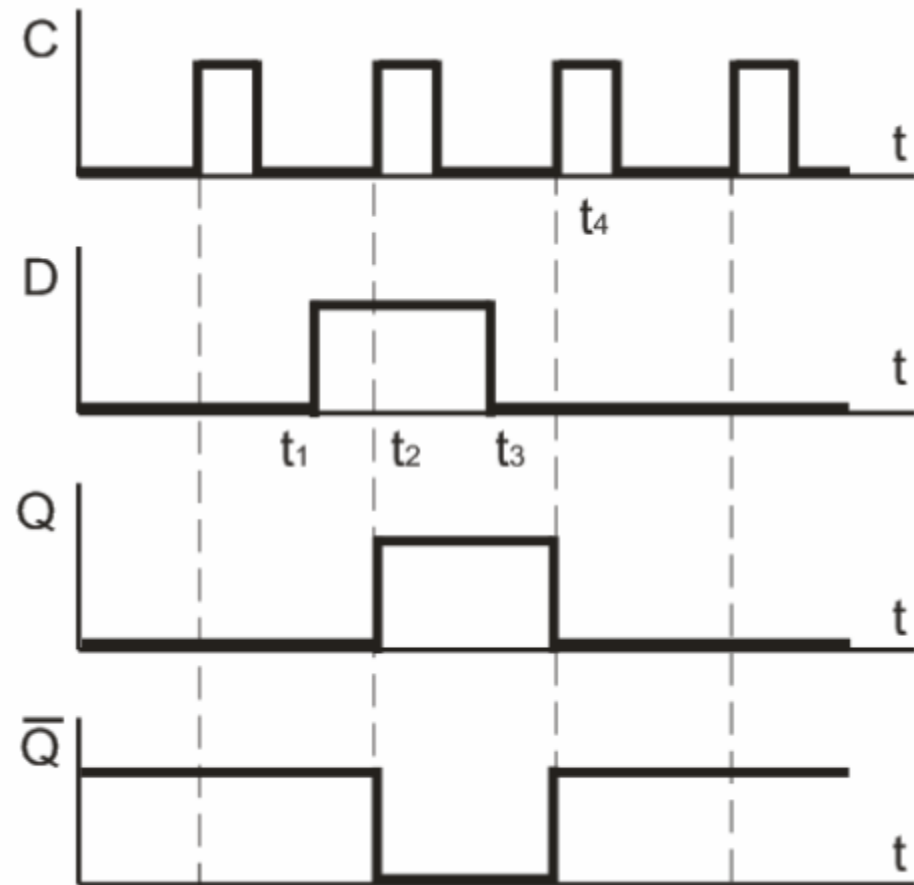
D-тригери

D- тригери мають один інформаційний вхід (*D*- вхід, на який подається інформація, призначена для занесення в тригер) та вхід синхронізації (*C*- вхід) або тактовий вхід.



Таблиця істинності та часові діаграми роботи D-тригера

t^n		t^{n+1}	
C	D	Q^{n+1}	\overline{Q}^{n+1}
0	0	1	0
1	0	0	1
1	1	1	0
0	1	1	0
0	0	1	0
1	0	0	1



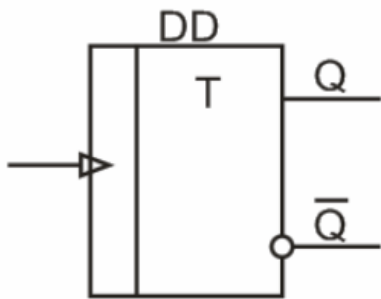
D-тригери

Якщо рівень сигналу на вході $C=0$, стан тригера стійкий і не залежить від рівня сигналу на інформаційному вході. Під час подачі на вхід синхронізації рівня $C=1$ інформація на прямому виході повторюватиме інформацію, що подається на вхід D . Таким чином, перемикання тригера з одного стійкого стану в інші відбувається з появою синхронізувального (тактового) імпульсу на вході C .

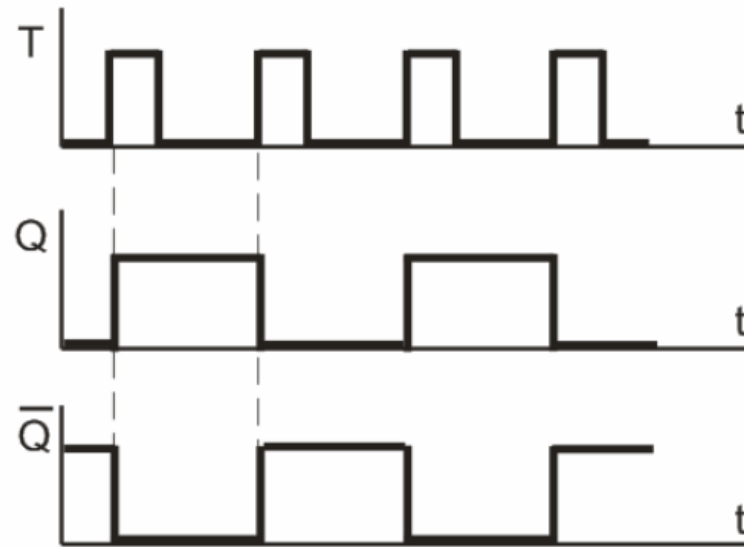
Припустимо, що до моменту приходу вхідного сигналу D тригер знаходився в стані логічного "0" ($Q = 0, \bar{Q} = 1$). В інтервалі часу $t1-t2$, коли діє вхідний сигнал D , стан тригера не змінюється, оскільки при цьому $C=0$. Дія сигналу $C=1$ в момент часу $t2$ призводить до перемикання тригера в стан логічної "1" ($Q = 1, \bar{Q} = 0$). Стан логічної "1" тригера не зміниться до моменту часу $t4$. Поява у момент часу $t4$ сигналу $C=1$ викликає перемикання тригера в стан логічного "0".

T-тригери

T-тригер має один керуючий вхід T і два виходи Q та \bar{Q} . Характерною властивістю T-тригера є його перемикання в протилежний стан з приходом кожного чергового вхідного імпульсу. Його називають також тригером з лічильним запуском.



a)



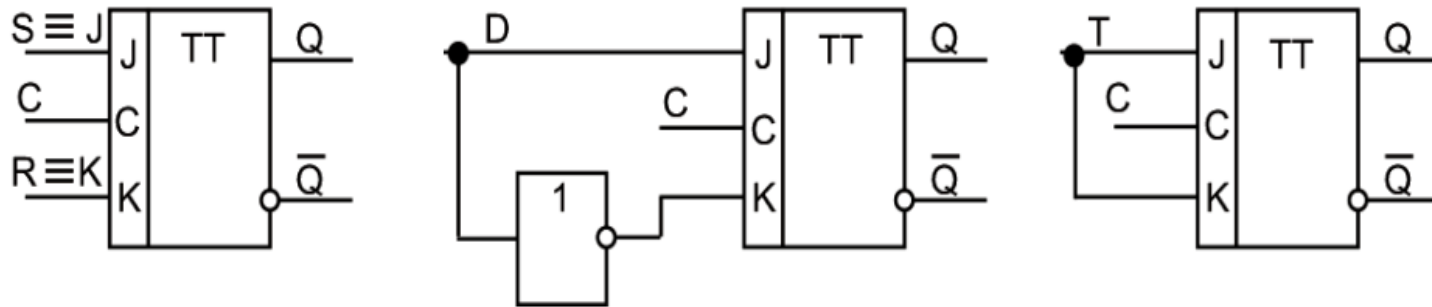
б)

T-тригери

З приходом першого імпульсу на вхід T тригер встановлюється в стан логічної “1” ($Q=1$). Другим імпульсом тригер перемикається в стан логічного “0” і так далі. Частота сигналу на виході T -тригера в два рази нижча за частоту сигналу на вході, тому такий тригер можна використовувати як дільник частоти, а також у лічильниках числа імпульсів.

Універсальні J-K-тригери

Це пристрої з двома інформаційними входами J і K , які у разі вхідної комбінації $J=K=1$ перемикають тригер у протилежний стан подібно T -тригеру, а при будь-яких інших комбінаціях вони функціонують як R - S -тригер, у якого роль входів S і R виконують відповідно входи J і K : $J \equiv S$, $K \equiv R$. Під час відповідного підключення входів J - K -тригер може виконувати функції R - S , D і T -тригерів



Універсальні J-K-тригери

R-S-тригер отримують подачею на вхід *J* сигналу *S*; а на вхід *K* сигналу *R*. *D*-тригер утворюється введенням інвертора в коло входу *K*. *R-S*-і *D*-тригери є тактованими.

Якщо входи *J* і *K* об'єднати і подати на них лічильні імпульси *T*, отримаємо *T*-тригер з лічильним запуском. У цьому полягає універсальність *J-K*-тригера. Інтегральні тригери застосовують під час побудови складних функціональних пристроїв: лічильників імпульсів, регістрів, пристроїв, що запам'ятовують, дільників частоти і т.д.